



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開平7-161764

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 Q	6918-4M		
21/56	E	8617-4M		
23/28	J	8617-4M		
23/29				
		8617-4M	H 0 1 L 23/ 30	D
		審査請求	未請求	請求項の数 5 O L (全 5 頁) 最終頁に続く

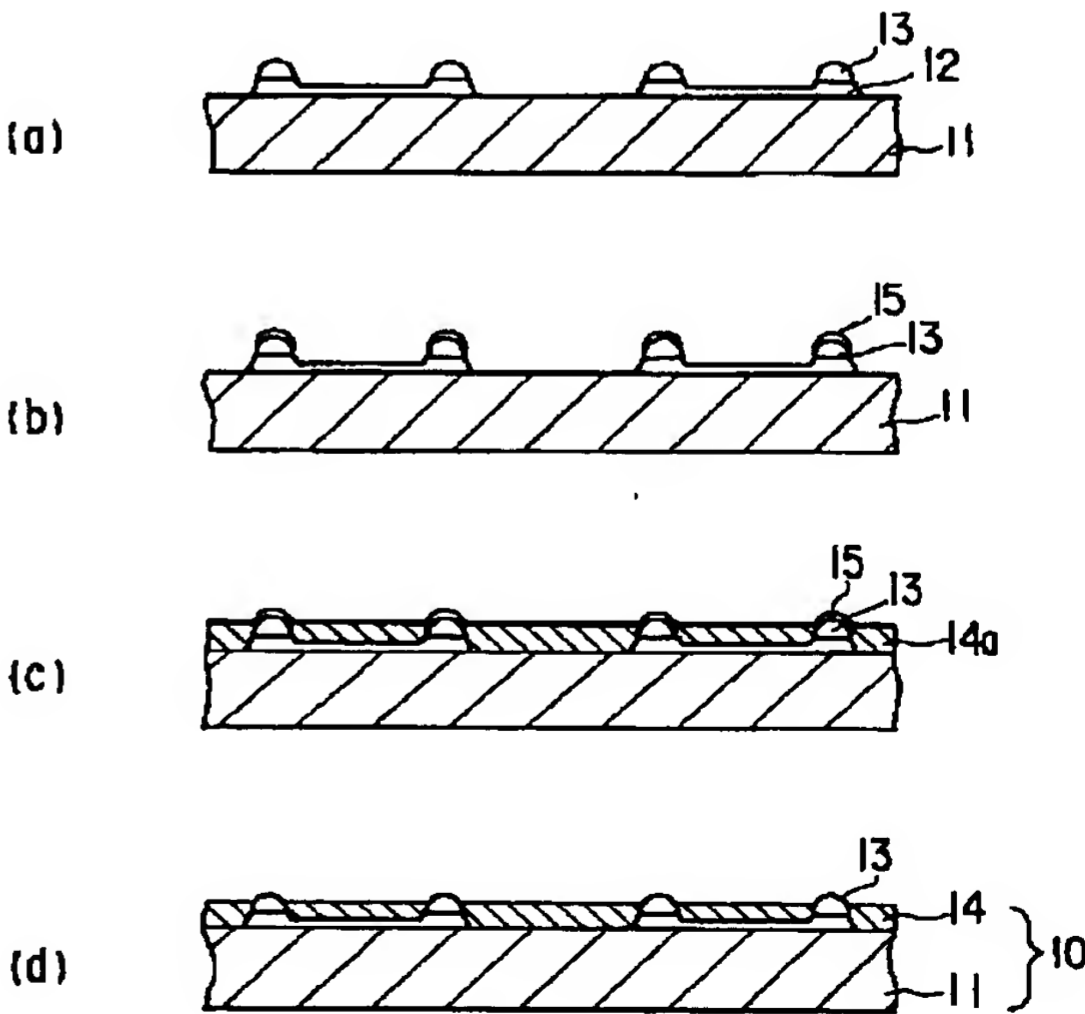
(21)出願番号	特願平5-304184	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成5年(1993)12月3日	(72)発明者	東 道也 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(72)発明者	江頭 美佳 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(72)発明者	野田 康昌 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝多摩川工場内
		(74)代理人	弁理士 鈴江 武彦

(54)【発明の名称】 樹脂封止型半導体装置およびその製造方法

(57)【要約】

【目的】簡単な工程により樹脂封止が可能で容易に薄型化が可能な樹脂パッケージングを有し、配線基板上に実装する際の樹脂封止工程が不要になる樹脂封止型半導体装置およびその製造方法を提供する。

【構成】それぞれ集積回路素子が形成された複数のチップ領域を有し、各チップ領域の素子形成面の電極パッド12上にバンプ電極13が形成された半導体ウェハ11と、この半導体ウェハのバンプ電極の先端部が突出する厚さを有し、ウェハの素子形成面の全面を封止するように設けられた樹脂封止部材14とを具備することを特徴とする。



1

【特許請求の範囲】

【請求項 1】 それぞれ集積回路素子が形成された複数のチップ領域を有し、各チップ領域の素子形成面の電極パッド上にバンパ電極が形成された半導体ウェハと、この半導体ウェハのバンパ電極の先端部が突出する厚さを有し、上記ウェハの素子形成面の全面を封止するように設けられた樹脂封止部材とを具備することを特徴とする樹脂封止型半導体装置。

【請求項 2】 集積回路素子が形成された素子形成面の電極パッド上にバンパ電極が形成された半導体チップと、

この半導体チップのバンパ電極の先端部が突出する厚さを有し、上記ウェハの素子形成面の全面を封止するように設けられた樹脂封止部材とを具備することを特徴とする樹脂封止型半導体装置。

【請求項 3】 それぞれ集積回路素子が形成された複数のチップ領域を有し、各チップ領域の素子形成面の電極パッド上にバンパ電極が形成された半導体ウェハを製造する工程と、

この半導体ウェハの素子形成面の全面を封止するように設けられた熱硬化性あるいは光硬化性を有する樹脂組成物により、前記バンパ電極の先端部が突出する厚さを有する封止部材を形成する工程と、

上記封止部材を形成した後の半導体ウェハを個々の半導体チップに分離するダイシング工程とを具備することを特徴とする樹脂封止型半導体装置の製造方法。

【請求項 4】 請求項 3 記載の樹脂封止型半導体装置の製造方法において、

前記封止部材を形成する工程は、前記バンパ電極の表面に前記樹脂組成物の硬化温度よりも沸点が高いコーティング層を形成する工程と、

この後、前記半導体ウェハの素子形成面の全面に樹脂組成物を前記バンパ電極の先端部が突出する厚さとなるように塗布して硬化させる工程と、

この後、前記樹脂組成物から突出しているバンパ電極の表面のコーティング層を除去する工程とを具備することを特徴とする樹脂封止型半導体装置の製造方法。

【請求項 5】 請求項 3 記載の樹脂封止型半導体装置の製造方法において、

前記封止部材を形成する工程は、前記バンパ電極の表面に前記樹脂組成物の硬化温度よりも沸点が低いコーティング層を形成する工程と、

この後、前記半導体ウェハの素子形成面の全面に樹脂組成物を前記バンパ電極の先端部が突出する厚さとなるように塗布して硬化させる工程とを具備することを特徴とする樹脂封止型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、樹脂封止型半導体装置およびその製造方法に係り、特に樹脂封止型の半導体ウ

2

ェハ、半導体チップおよびその製造方法に関する。

【0002】

【従来の技術】 図 3 は、従来の樹脂封止型半導体装置の構造の一例を示している。この半導体装置 40 を製造するには、まず、ウェハプロセスにより半導体ウェハの各チップ領域に集積回路を形成した後、ダイシングにより個々の半導体チップに分離する。そして、半導体装置のアセンブリに際して、ダイパッド 41 上にダイボンディング剤 42 を介して半導体チップ 43 を搭載して固定した後、チップ 43 上の電極パッド（図示せず）と例えばリードフレームのインナーリード部 44 とにワイヤーボンディングを行うことにより、ボンディングワイヤー 45 を介してチップ 43 とインナーリード部 44 とを電氣的に接続する。

【0003】 この後、上記ダイパッド 41、ダイボンディング剤 42、チップ 43、インナーリード部 44 およびボンディングワイヤー 45 をトランスファモールド法により樹脂 46 で封止してパッケージを形成し、リードフレームの不要部分のカッティング、アウターリード部 47 のメッキ、フォーミングなどを行う。

【0004】 しかし、上記したような従来の樹脂封止型半導体装置は、封止の対象となる部材が多く、トランスファモールド法による樹脂封止ではパッケージの厚さを薄くすることが困難である。

【0005】 また、前記したような従来の樹脂封止型半導体装置の製造方法は、ウェハプロセス後に、スダイシング、ダイボンディング、ワイヤーボンディング、樹脂モールド、リードフレームのカッティング、アウターリード部のメッキおよびフォーミングなど、多数の工程を必要としている。

【0006】 このため、製造時間が長くなり、各工程で使用する部材や製造装置も多くなり、製造コストが高くなる。また、上記多数の工程に起因してチップの汚染や破損などを引き起こすおそれが高い。

【0007】 一方、上記したような問題を解決するために、素子形成面の電極パッド上にバンパ電極が形成された半導体チップ（フリップチップと称される）のバンパ電極を印刷配線基板上に加圧接合する際、印刷配線基板上に樹脂をポッティングしておいてその上に素子形成面を載置して加圧する、あるいは、素子形成面と印刷配線基板面との間隙部に樹脂を注入することにより、フリップチップをその素子形成面およびバンパ電極が樹脂封止された状態で配線基板上に実装するパッケージング方法が開発されている。しかし、このようなパッケージング方法は、配線基板上に実装する際の樹脂封止工程が複雑化する。

【0008】

【発明が解決しようとする課題】 上記したように従来の半導体装置は、樹脂封止の対象となる部材が多いのでパッケージの厚さを薄くすることが困難であり、その製造

に際して多数の工程を必要とするので、製造コストが高くなると共にチップの汚染や破損などを引き起こすおそれ強いという問題、あるいは、配線基板上に実装する際の樹脂封止工程が複雑化するという問題があった。

【0009】本発明は上記の問題点を解決すべくなされたもので、従来例よりも一層簡単な工程により樹脂封止が可能で容易に薄型化が可能な樹脂パッケージングを有し、配線基板上に実装する際の樹脂封止工程が不要になる半導体装置およびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の半導体装置は、集積回路素子が形成された領域を有し、この領域の素子形成面の電極パッド上にバンパ電極が形成された半導体ウェハと、この半導体ウェハのバンパ電極の先端部が突出する厚さを有し、上記ウェハの素子形成面の全面を封止するように設けられた樹脂封止部材とを具備することを特徴とする。

【0011】また、本発明の半導体装置の製造方法は、それぞれ集積回路素子が形成された複数のチップ領域を有し、各チップ領域の素子形成面の電極パッド上にバンパ電極が形成された半導体ウェハを製造する工程と、この半導体ウェハの素子形成面の全面を封止するように設けられた熱硬化性あるいは光硬化性を有する樹脂組成物からなり、前記バンパ電極の先端部が突出する厚さを有する封止部材を形成する工程と、この後、上記半導体ウェハを個々の半導体チップに分離するダイシング工程とを具備することを特徴とする。

【0012】

【作用】ウェハ段階で素子形成面の樹脂封止を行っているので、従来例よりも一層簡単な工程により樹脂封止が可能で容易に薄型化が可能な樹脂パッケージングを有する半導体装置およびその製造方法を実現できる。これにより、配線基板上に実装する際の樹脂封止工程が不要になり、実装工程を簡略化できる。

【0013】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1(a)乃至(d)は、本発明の半導体装置の一実施例に係る樹脂封止型半導体ウェハの製造方法の第1実施例に係る製造工程を示している。

【0014】まず、図1(a)に示すように、それぞれ集積回路素子が形成された複数のチップ領域を有する半導体ウェハ11の各チップ領域の素子形成面の電極パッド群12上に高さが約30 μ mのバンパ電極13…を形成する。

【0015】次に、図1(b)乃至(d)に示す工程により、半導体ウェハ11の素子形成面の全面を封止するように、樹脂組成物14aが硬化されてなる封止部材14を前記バンパ電極13の先端部が突出する厚さを持つように形成することにより、厚さが約330 μ mの樹脂

封止型半導体ウェハ10を得る。

【0016】この場合、まず、図1(b)に示すように、前記バンパ電極13の表面に前記樹脂組成物14aの硬化温度よりも沸点が高い例えばシリコンオイル(ジメチルシリコンオイル)のコーティング層15を形成する。

【0017】この後、図1(c)に示すように、前記半導体ウェハ11の素子形成面の全面に、熱硬化性あるいは光硬化性を有する樹脂組成物14aを前記バンパ電極13の先端部が例えば10 μ m突出する厚さ(本例では20 μ m)となるように形成する。この場合、樹脂組成物14aの一例として、熔融シリカを90重量%含有し、硬化後の熱膨脹係数が $0.6 \times 10^{-5}/^{\circ}\text{C}$ 、エチレングリコールジメチルエーテルを30重量%含有するエポキシ系樹脂を用い、スピコート法により塗布し、120 $^{\circ}\text{C}$ で30分硬化させ、さらに150 $^{\circ}\text{C}$ で30分硬化させ、さらに175 $^{\circ}\text{C}$ で4時間硬化させる。

【0018】この後、図1(d)に示すように、樹脂組成物14aが硬化されてなる封止部材14から突出しているバンパ電極13の表面のコーティング層15を溶媒(例えばn-ヘキサン)を用いて除去する。

【0019】上記したように製造された樹脂封止型半導体ウェハ10は、集積回路素子が形成された領域を有し、この領域の素子形成面の電極パッド群12上にバンパ電極13…が形成された半導体ウェハ11と、この半導体ウェハ11のバンパ電極13の先端部が突出する厚さを有し、上記ウェハ11の素子形成面の全面を封止するように設けられた封止部材14とを具備している。

【0020】図2(a)および(b)は、図1(d)に示した樹脂封止型半導体ウェハ10から各チップ領域を個々の樹脂封止型半導体チップに分離し、配線基板上に実装する工程を示している。

【0021】即ち、まず、図2(a)に示すダイシング工程において、図1(d)に示した半導体ウェハ10のダイシングラインに沿って切断し、個々のチップに分離することにより、厚さが約330 μ mの樹脂封止型半導体チップ20を得る。

【0022】そして、図2(b)に示す実装工程において、上記半導体チップ20の樹脂封止面を印刷配線基板31上に載置して加圧することにより、バンパ電極13を印刷配線基板31の配線部32上に接合することができる。

【0023】上記実施例によれば、ウェハ段階で素子形成面の樹脂封止を行っているので、従来例よりも一層簡単な工程により樹脂封止が可能である。これにより、半導体装置10、20の生産性が大幅に向上し、半導体装置10、20の製造コストを大幅に低減でき、チップの汚染や破損などを引き起こすおそれが少なくなり、製品の歩留りが向上する。また、配線基板上に実装する際の樹脂封止工程が不要になり、実装工程を簡略化でき、実

5

装コストを低減できる。

【0024】しかも、樹脂封止の対象となる部材はウェハ11のみであり、パッケージを容易に薄型化することが可能である。次に、本発明の樹脂封止型半導体装置の製造方法の第2実施例を説明する。

【0025】この第2実施例では、第1実施例において封止部材14を形成する際に、まず、前記ウェハ11の bumps 電極13の表面に前記樹脂組成物13の硬化温度よりも沸点が低いコーティング層を形成するように変更する。

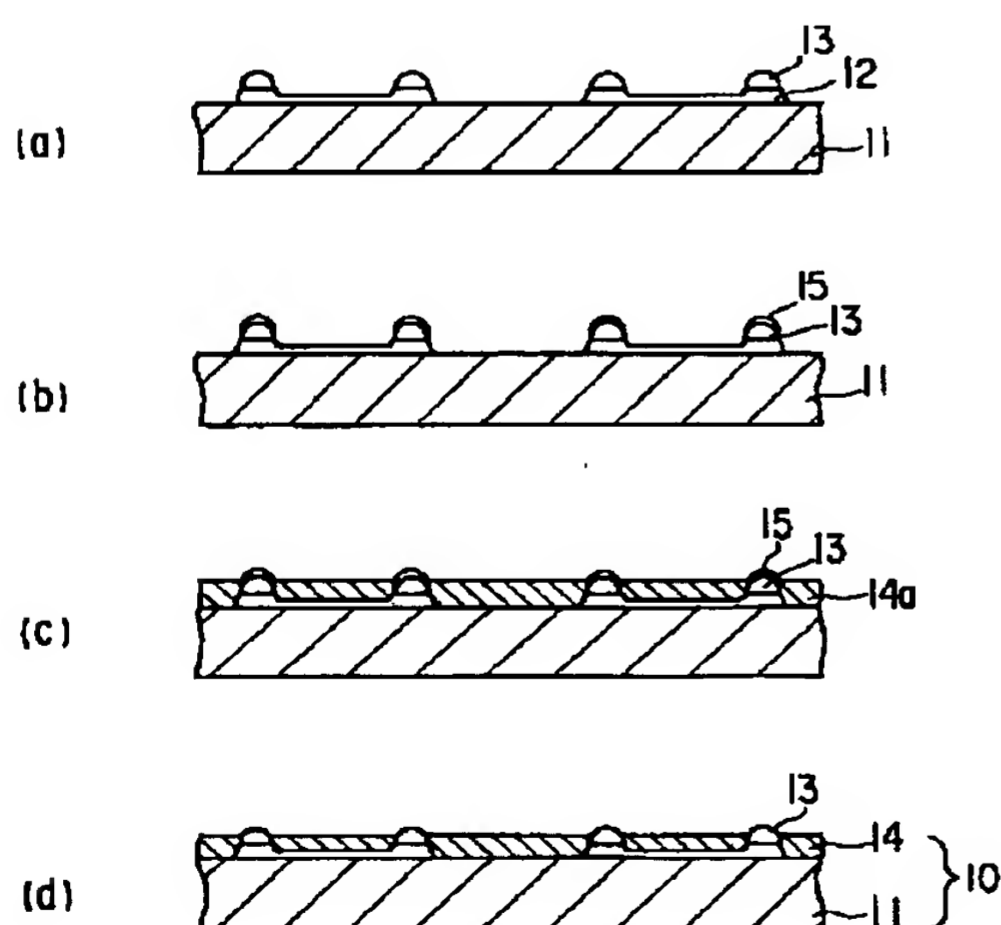
【0026】このコーティング層を形成する具体的な方法としては、例えばステアリン酸を溶媒に溶かしたものをウェハ11の bumps 電極13以外の部分をマスクした状態で塗布する、あるいは、上記ステアリン酸を溶媒に溶かしたものに前記ウェハ11の bumps 電極13を浸漬するなどの方法がある。

【0027】この後、第1実施例と同様に、半導体ウェハ11の素子形成面の全面に熱硬化性あるいは光硬化性を有する樹脂組成物を前記 bumps 電極13の先端部が突出する厚さとなるように塗布して硬化させるが、この際、前記樹脂組成物から突出している bumps 電極13の表面のコーティング層は、樹脂組成物の硬化時の温度により溶けて除去されるので、樹脂組成物の硬化後に溶媒を用いて除去する必要がなくなる。

【0028】

【発明の効果】 上述したように本発明の樹脂封止型半導

【図1】



6

体装置およびその製造方法によれば、従来例よりも一層簡単な工程により樹脂封止が可能になり、配線基板上に実装する際の樹脂封止工程が不要になり、実装工程を簡略化できる。

【0029】従って、半導体装置の生産性が大幅に向上し、その製造コストや実装コストを大幅に低減でき、チップの汚染や破損などを引き起こすおそれが少なくなり、製品の歩留りが向上する。しかも、樹脂封止の対象となる部材はウェハのみであり、パッケージを容易に薄型化することができる。

【図面の簡単な説明】

【図1】 本発明の半導体装置の一例に係る樹脂封止型半導体ウェハの製造方法の第1実施例に係る製造工程を示すウェハ断面図。

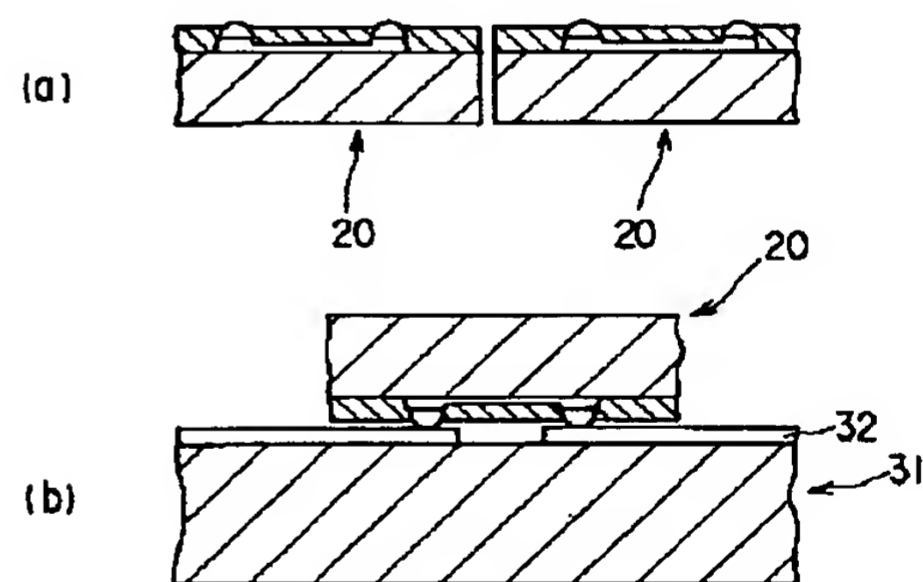
【図2】 図1の半導体ウェハをダイシングして樹脂封止型半導体チップに分離して配線基板に実装する工程を示す断面図。

【図3】 従来の樹脂封止型半導体装置の一例を示す断面図。

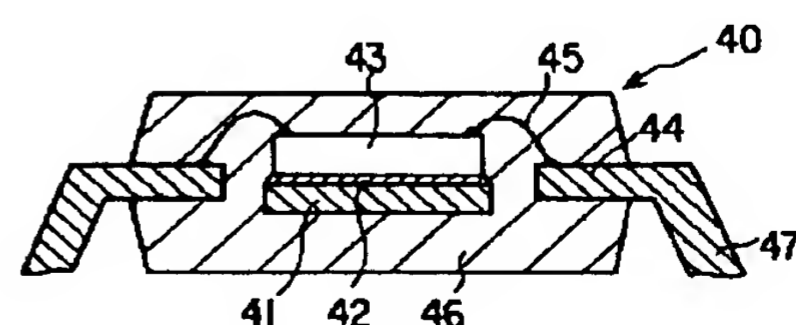
20 【符号の説明】

10…樹脂封止型半導体ウェハ、11…半導体ウェハ、12…電極パッド群、13…bumps 電極、14…封止部材、14a…樹脂組成物、15…コーティング層、20…樹脂封止型半導体チップ、31…配線基板、32…配線部。

【図2】



【図3】



フロントページの続き

(51)Int.Cl. ⁶ H 0 1 L 23/31	識別記号	庁内整理番号	F I	技術表示箇所
---	------	--------	-----	--------

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-161764

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

H01L 21/60

H01L 21/56

H01L 23/28

H01L 23/29

H01L 23/31

(21)Application number : 05-304184

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 03.12.1993

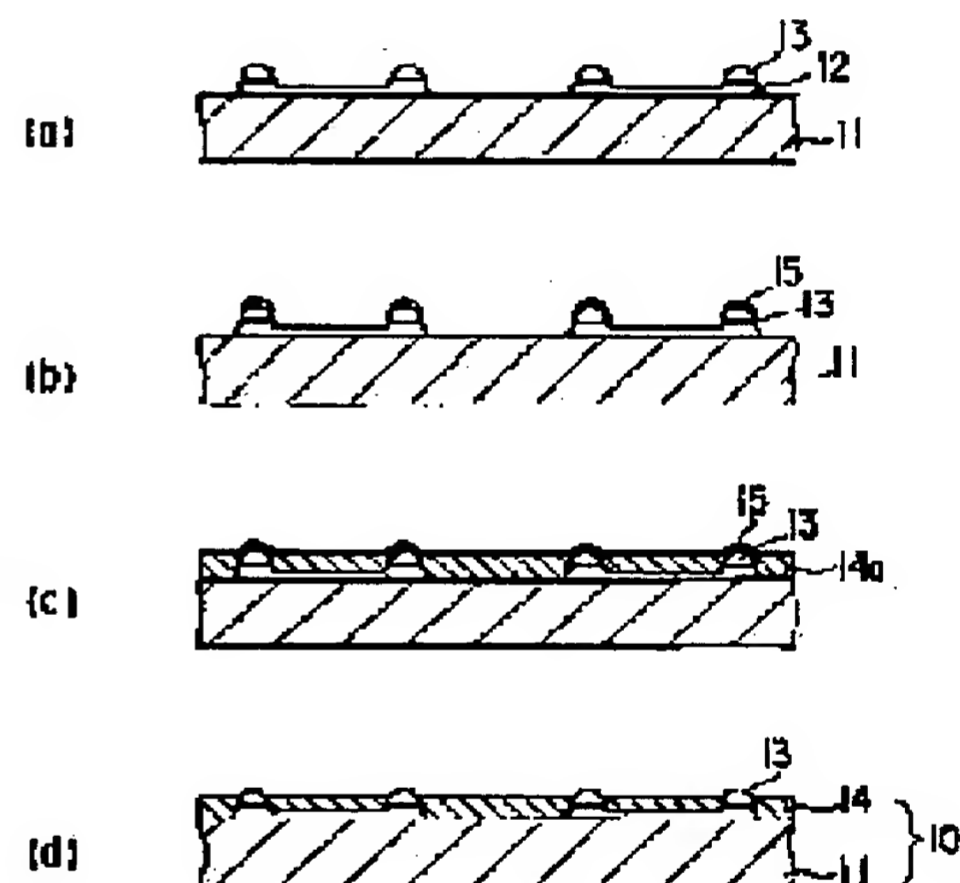
(72)Inventor : AZUMA MICHIO
EGASHIRA MIYOSHI
NODA YASUMASA

(54) RESIN SEALED TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide a resin sealed type semiconductor device, having a thinnable resin package which can be resin-sealed by a simple process and unnecessitating a resin-sealing process when mounting the device on a wiring board, and its manufacturing method.

CONSTITUTION: The title semiconductor device is provided with a plurality of chip regions, where an integrated circuit is formed respectively, a semiconductor wafer 11 where bump electrodes 13 are formed on the electrode pad 12 of the surface where the element of each chip region is formed, and a resin-sealed member 14 which is provided in such a manner that the whole element formed surface of the wafer is sealed.



LEGAL STATUS

[Date of request for examination] 07.09.1999

[Date of sending the examiner's decision of rejection] 23.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]